

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-097529

(43)Date of publication of application : 12.04.1996

(51)Int.Cl.

H05K 1/11

H05K 1/02

H05K 3/40

H05K 3/46

(21)Application number : 06-267818

(71)Applicant : KYOCERA CORP

(22)Date of filing : 31.10.1994

(72)Inventor : IMOTO AKIRA  
SUENAGA HIROSHI  
HISATAKA MASAFUMI  
NAKAMURA JUNICHI  
UEMURA HIROKI  
NAKAMURA SHIGEO

(30)Priority

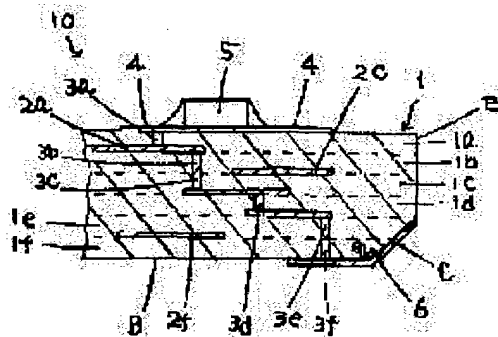
Priority number : 06174217 Priority date : 26.07.1994 Priority country : JP

## (54) SURFACE-MOUNTING CIRCUIT BOARD AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To provide a surface-mounting circuit board in which the state of its being connected to a mother board can be easily confirmed and its manufacturing process is very simple and also to provide its manufacturing method.

CONSTITUTION: A specified circuit is formed in a ceramic board (laminated body) 1 in which a sloping surface C is formed in a ridgeline formed by the rear surface B and an end surface E and a lead-out conductor film 6 of the specified circuit is formed extending over the rear surface B to the sloping surface C of the ceramic board 1.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 8 - 9 7 5 2 9

(43) 公開日 平成8年 (1996) 4月12日

(51) Int. Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 5 K	1/11	C 7511-4 E		
	1/02	G		
	3/40	C 7511-4 E		
	3/46	H 6921-4 E		
		X 6921-4 E		
審査請求 未請求 請求項の数 3				OL (全 9 頁)

(21) 出願番号 特願平6-267818

(22) 出願日 平成6年 (1994) 10月31日

(31) 優先権主張番号 特願平6-174217

(32) 優先日 平6 (1994) 7月26日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000006633

京セラ株式会社

京都府京都市山科区東野北井ノ上町5番地の22

(72) 発明者 井本 晃

鹿児島県国分市山下町1番1号 京セラ株式会社鹿児島国分工場内

(72) 発明者 末永 弘

鹿児島県国分市山下町1番1号 京セラ株式会社鹿児島国分工場内

(72) 発明者 久高 将文

鹿児島県国分市山下町1番1号 京セラ株式会社鹿児島国分工場内

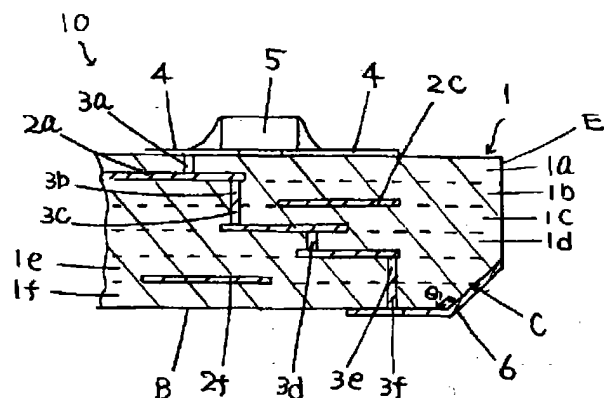
最終頁に続く

(54) 【発明の名称】 表面実装用回路基板及びその製造方法

(57) 【要約】

【目的】 マザーポートとの接続状態が簡単に確認でき、しかも製造工程が非常に簡単な表面実装用回路基板及びその製造方法を提供する。

【構成】 裏面Bと端面Eとの成す稜線部分に傾斜面Cを形成したセラミック基板（積層体）1に所定回路を形成するとともに、前記所定回路1の導出用導体膜6がセラミック基板1の裏面Bから傾斜面Cに形成している。



## 【特許請求の範囲】

【請求項 1】 裏面と端面との成す稜線部分に傾斜面を形成したセラミック基板に所望回路を形成するとともに、前記所望回路の導出用導体膜をセラミック基板の裏面から前記傾斜面に形成したことを特徴とする表面実装用回路基板。

【請求項 2】 裏面と端面との成す稜線部分に傾斜面を形成したセラミック基板に所望回路を形成するとともに、前記所望回路の導出用導体膜をセラミック基板の裏面から傾斜面に形成した表面実装用回路基板の製造方法 10 であって、

大型基板の表面側に分割溝、裏面側に V 溝を形成し、セラミック基板となる複数の領域に区画する工程と、前記各領域に設けた所望回路の一部に接続するようにして、各領域の裏面側から V 溝に跨がって導出用導体膜を形成する工程と、前記導出用導体膜が形成された大型基板を、分割溝と V 溝に沿って個々のセラミック基板に分割処理する工程とを含む表面実装型回路基板の製造方法。

【請求項 3】 前記大型基板の裏面に形成する V 溝の先端に該 V 溝の開口角度に比較して小さい開口角度を有する第 2 の V 溝を形成することを特徴とする請求項 2 に記載の表面実装型回路基板の製造方法。 20

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、セラミック単板基板、セラミック積層基板などの回路基板をマザーボードに表面実装可能にするための接続端子を有する回路基板及びその製造方法に関するものである。

## 【0002】

【従来の技術】従来、例えば積層セラミック基板は、積層体の内部に内部配線パターンが形成されており、積層体の表面には表面配線パターン、厚膜抵抗体膜など形成されており、さらに表面配線パターンの一部に IC チップ、チップ状電子部品などを接合しており、各種電子部品を含む所定回路網が、積層体の内部、表面に渡って高密度に配置されていた。

【0003】このような積層セラミック基板をマザーボードに接続するための構造として、積層体の裏面に所定回路の一部と接続する導出用導体膜を形成して、この積層セラミック回路基板の導出用導体膜とマザーボードの所定配線パターンとを半田を介在させて平面的に当接することによって表面実装していた。 40

【0004】また、別の構造として、積層セラミック基板の端面に、所定回路の一部と接続する導出用導体膜を形成して、この積層セラミック回路基板の端面導出用導体膜とマザーボードの所定配線パターンとを半田を介在させて、端面導出用導体膜にはいあがる半田メニスカスによって表面実装していた。

【0005】尚、積層セラミック基板の端面導出用導体 50

膜として、大型積層体基板を分割した後に、分割端面に端面導出用導体膜を形成する構造と、予め分割される部分に貫通穴を形成しておき、この貫通穴の内壁に導電膜を形成しておき、最終の分割工程で貫通穴の内面の導体膜を 2 つ分割して端面導出用導体膜とする構造とがあった。

## 【0006】

【発明が解決しようとする課題】しかし、上述の基板の裏面に導出用導体膜を形成した構造では、マザーボードの配線パターンと導出用導体膜との半田接合が、実質的に積層セラミック回路基板によって隠蔽されるため、半田の接合状況を確認できず、接合信頼性に乏しかった。

【0007】また、積層体の端面に導出用導体膜を形成する場合においては、半田の接合状態、しかも半田メニスカスまでもが確認でき、接合信頼性が向上するものの、その端面導出用導体膜の形成するための製造工程が非常に煩雑となったり、導出用導体膜が安定に形成できないなどの問題があった。

【0008】即ち、大型積層基板を分割した後に、端面導出用導体膜を形成する構造においては、大型積層基板を分割し、個々の積層セラミック基板を整理させて、その端面に導体膜を形成する必要がある、非常に製造工程が煩雑となる。

【0009】また、大型積層基板に予め貫通穴を形成しておき、この貫通穴に導体膜を形成する場合、例えば、導電性ペーストを貫通穴の一方側から吸引しながら印刷しなければならず、導電性ペーストの粘度、吸引の条件によって安定した導体膜が形成できない。また、貫通穴の内面に導体膜は、その導体膜を引き裂き分断する方向に分割されるため、剥離や一方側の積層体側にもっていかれるなるの問題があった。 30

【0010】本発明は上述の問題点に鑑みて案出されたものであり、その目的は、マザーボードとの接続状態が簡単に確認でき、しかも製造工程が非常に簡単な表面実装用回路基板及びその製造方法を提供することにある。

【0011】さらに別の目的は、上述の目的に加え、分割処理において、導出用導体膜が安定的に達成することができる表面実装用回路基板の製造方法を提供することにある。

## 【0012】

【課題を解決するための手段】本発明の第 1 の発明は、裏面と端面との成す稜線部分に傾斜面を形成したセラミック基板に所望回路を形成するとともに、前記所望回路の導出用導体膜をセラミック基板の裏面から前記傾斜面に形成した表面実装用回路基板である。

【0013】第 2 の発明は、裏面と端面との成す稜線部分に傾斜面を形成したセラミック基板に所望回路を形成するとともに、前記所望回路の導出用導体膜をセラミック基板の裏面から傾斜面に形成した表面実装用回路基板の製造方法であって、大型基板の表面側に分割溝、裏面

側にV溝を形成し、セラミック基板となる複数の領域に区画する工程と、前記各領域に設けた所望回路の一部に接続するようにして、各領域の裏面側からV溝に跨がって導出用導体膜を形成する工程と、前記導出用導体膜が形成された大型基板を、分割溝とV溝に沿って個々のセラミック基板に分割処理する工程とを含む表面実装型回路基板の製造方法である。

【0014】第3の発明は、さらに、前記大型基板の裏面に形成するV溝の先端に該V溝の開口角度に比較して小さい開口角度を有する第2のV溝を形成する表面実装型回路基板の製造方法である。

【0015】

【作用】第1の発明によれば、表面実装型回路基板の裏面と端面との成す稜線部分が傾斜面となっており、裏面から傾斜面にかけて導出用導体膜が形成されている。このため、マザーボードの所定配線パターンに半田を接合した場合、傾斜面の導出用導体膜に簡単に半田メニスカスが形成でき、強固に接合できるとともに、この半田の接合状況が簡単に確認できるため、接合信頼性が向上する。

【0016】第2の発明によれば、各回路基板となる領域を区画するV溝の形成と、このV溝を跨がって裏面に導体膜を形成し、さらにV溝での分割処理によって、簡単に形成することができ、従来のように製造工程が煩雑となることなく簡単に導出用導体膜を形成することができる。このため、回路基板の全体のコストが大きく低下させることができる。

【0017】また、分割処理時、導体膜が分割されることになるが、導体膜が平面的に折り曲げられるように切断されるため、導体膜の剥離や一方側回路基板側に取られることが有効に抑えられ、基板に対して安定的に被覆した導出用導体膜となる。

【0018】さらに、第3の発明によれば、V溝（第1のV溝）の先端部分に第2のV溝を形成したため、第1のV溝の全面にわたり、導出用導体膜を導電性ペーストに印刷形成した場合、第1のV溝と第2のV溝の稜線部分で、導電性ペーストの流れ混みがペーストの表面張力によって停止し、実質的に隣接する回路基板となる領域の導出用導体膜と分離した状態で導体膜を形成することができ、分割処理における導出用導体膜の剥離が皆無となる。

【0019】

【実施例】以下、本発明を図面に基づいて詳説する。尚、実施例には、積層セラミック回路基板を用いた回路基板でもって説明する。

【0020】図1は第1の発明を説明するための積層セラミック基板の断面図であり、図2はその裏面側斜視図であり、図3はマザー基板の接合状況を示す側面図である。

【0021】積層セラミック基板10は、積層体1と、

該積層体1の表面側主面に形成された表面配線パターン4・・・と、該表面配線パターン4・・・に搭載された電子部品5と、積層体1の裏面側主面Bに形成された導出用導体膜6・・・とから構成されている。

【0022】積層体1は、例えば6層のセラミック層1a～1fからなり、各セラミック層間、1aと1b、1bと1c・・・1eと1fとの間には所定回路を構成する内部配線パターン2b～2f（総称して「2」と記す。）が配置されている。また、セラミック層1a～1fには、その厚み方向を貫くビアホール導体3a～3f（総称して「3」と記す）が形成されている。

【0023】セラミック層1a～1fは、例えば、アルミナ、窒化アルミニウム、ムライトなどのセラミック単体、ガラスセラミック、Mn-Zn、Ni-Zn（広義でセラミックという）などの磁性体セラミック、BaTiO<sub>3</sub>などの誘電体セラミック材料などから成り、内部配線パターン2、ビアホール導体3は、Ag系（Ag単体またはAgの合金）導体、Cu系（Cu単体またはCuの合金）導体、Au系導体などからなる。

【0024】具体的には、ビアホール導体3となる導体が貫通穴に充填され、且つ表面に内部配線パターン2となる導体膜が形成されたセラミックグリーンシートを積層順序を考慮して積層し、一体的に焼成することによって達成されるものである。

【0025】表面配線パターン4・・・は、積層体1の表面側主面に、ビアホール導体3aなどを介して内部配線2と接続した配線パターンであり、例えば、Ag系（Ag単体またはAgの合金）導体、Cu系（Cu単体またはCuの合金）導体、Au系導体などから成る。

【0026】また、電子部品5は、表面配線パターン4の一部を接合用パッドとして、半田、導電性接着材などを介して接合されており、電子部品として、ICチップ、トランジスタ、チップ抵抗器、チップコンデンサなどが例示できる。

【0027】本発明の特徴的なことは、積層体1は、その裏面側主面Bと端面Eとの成す稜線部分に傾斜面Cが形成されており、また、内部配線パターン2、ビアホール導体3、表面配線パターン4、電子部品5などから成る所定回路の入出力端子部分となる導出用導体膜6・・・が積層体1の裏面側主面Bから前記傾斜面Cにかけて形成されている。

【0028】例えば、図1では導出用導体膜6は、ビアホール導体3fを介して内部配線パターン2b～2fなどの構成する所定回路に接続されている。

【0029】この導出用導体膜6は、Ag系、Cu系、Au系導体からなり、積層体1の裏面側主面Bから前記傾斜面Cを含む端面方向にかけて導電性ペーストを選択的にスクリーン印刷して、導体塗膜を形成し、焼きつけ処理をして形成される。

【0030】このように、積層体1の裏面側主面Bと端

面Eとが成す稜線部分の傾斜面Cに導出用導体膜6が形成された積層セラミック回路基板10をマザーボード基板に接合した状態を図3に示す。尚、図3において、30はマザーボードであり、31は所定配線パターンであり、32は半田である。

【0031】図に示すように、マザーボード30の所定配線パターン31上に、クリーム状半田を塗布して、このクリーム状半田を塗布した所定配線パターン31に、積層セラミック回路基板10の導出用導体膜6が当接するように配置して、リフロー炉などに投入して、クリーム状半田を溶融させ、徐冷することにより、所定配線パターン31と導出用導体膜6・・・との間が半田32によって強固に接合されることになる。

【0032】特に、積層体1の裏面側主面Bと端面Eとのなす稜線部分の傾斜面Cに形成された導出用導体膜6・・・は、実質的にマザーボード30の所定配線パターン31に対して傾斜した状態となり、この間に楔状の隙間が形成されることになる。

【0033】しかし、実際には、溶融した半田32の表面張力により、半田のメニスカスが安定的に形成されることになり、マザーボード30と積層セラミック回路基板10との電氣的接続及び一層強固な機械的接合が達成されることになる。

【0034】しかも、この半田メニスカスの形成状態を積層セラミック回路基板10の外部から簡単に目視確認できるため、接合信頼性が大きく向上する。

【0035】このような積層セラミック回路基板10の製造方法を図4に基づいて説明する。尚、本製造方法は大型セラミック基板から複数の積層セラミック回路基板を抽出する多数個取りの製造方法を図4の工程図、及び図5の主要工程における裏面側斜視図に基づいて説明する。

【0036】まず、図4の(a)工程～(f)工程を行い、積層セラミック回路基板の積層体となる複数の領域を区画するように表面側に分割溝、裏面側に裏面と分割端面との稜線部分を傾斜面となるようなV溝が夫々形成され、且つ各領域の裏面側に各々の所定回路の一部が導出された大型基板を形成する。

【0037】まず(a)の工程として、各セラミック層1a～1fとなるグリーンシートを用意する。

【0038】次に、(b)の工程として、各グリーンシートの最終的に積層体となる各領域内に、各セラミック層1a～1fの厚みを貫くビアホール導体3a～3fとなる貫通孔をパンチ加工などにより形成する。

【0039】次に、(c)の工程として、この貫通孔にビアホール導体3a～3fとなる導体を導電性ペーストの充填により形成するとともに、各グリーンシート上に、内部配線パターン2b～2fとなる導体膜を導電性ペーストの印刷により形成する。

【0040】次に、(d)の工程として、このようなグ

リーンシートを積層順序に応じて積層する。これにより、図5に示す未焼成状態の大型積層基板50が達成される。

【0041】図において、50は未焼成状態の大型積層基板であり、30f・・・はビアホール導体3fとなる導体の露出部であり、点線X・・・、Y・・・は、各領域を区画する仮想線である。

【0042】次に、(e)の工程として、上述の大型積層基板の表面に各領域を区画する分割溝を、裏面には最終的に分割処理した時に傾斜面Cとなるように各領域を区画するV溝及び分割溝を形成する。この状態を図6に示す。図6で、大型積層基板50の裏面側主面Bの各領域を区画する点線Y方向には、傾斜面CとなるV溝7を形成し、裏面側主面の各領域を区画する点線X方向には、分割溝8を形成する。これは、各領域を区画する点線X方向に、導出用導体膜を形成しないため、V溝が存在しない。このため、後述の分割処理で分割性を高める形成するものである。従って、例えば、点線X方向にも導出用導体膜を形成する場合には、このX方向にもV溝を形成することとなる。

【0043】また、大型積層基板50の表面側主面の各領域を区画するように縦横に分割溝9を形成する。

【0044】分割溝8、9は、刃先の断面形状が概略V字状となったスナップ刃をプレス成型などによって、V溝7は、刃先の断面形状が概略V字状となったダイシングソーを用いて形成する。尚、分割溝8、9も実質的にV字状の溝であるが、特に傾斜面Cを形成するための溝7と区別するために、溝8、9を「分割溝」、溝7を「V溝」と記す。

【0045】次に、(f)の工程として、分割溝8、9、V溝7が形成された未焼成状態の大型積層基板50を焼成処理を行う。これにより、グリーンシートは焼結反応により各グリーンシートは強固に一体化し、導体膜は内部配線パターン2b～2fとなり、導体30fなどはビアホール導体3a～3fとなる。

【0046】次に、図4の(g)工程～(h)工程を行い、少なくとも各領域の裏面側主面BからV溝7に跨がり、且つ所定回路一部と接続する導出用導体膜6となる導体膜60を形成する。この状態を図7に示す。

【0047】具体的には、(g)の工程として、まず、焼成された大型積層基板50の表面側主面に、導電性ペーストの印刷焼き付けにより表面配線パターン4を形成する。なお、この時、同時に必要に応じて、その他の厚膜回路素子、例えば厚膜抵抗体膜を形成してもよい。

【0048】次に、焼成された大型積層基板50の裏面側主面Bに、導電性ペーストの印刷焼き付けにより導出用導体膜6・・・となる導体膜60を形成する。構造的には、各領域の裏面側主面Bに露出しているビアホール導体3fと電氣的に接続するように被覆するとともに、導体膜60の一部がV溝7内に到るように形成する。尚、

図7では、V溝7を介して隣接する各領域に渡って共通的に導体膜60を形成するために、導体膜60の中央部付近がV溝7内に形成され、且つその両端部が夫々異なる領域のビアホール導体3eを覆うように形成されている。

【0049】次に、必要に応じて、表面処理工程である(h)の工程をおこなう。即ち、各種電子部品5を表面配線パターン4の所定位置に搭載して、各領域毎に所定回路が構成されることになる。

【0050】最後に、図4の(i)の工程として、導出用導体膜となる導体膜60が形成された大型積層基板50を、分割溝8、9とV溝7に沿って個々の積層セラミック回路基板10に分割する。この状態を図8に示す。これにより、隣接する両領域を区画するV溝7が分割されて、傾斜面Cとなり、また、隣接する両領域を区画するV溝7を介して跨がって形成した導体膜60が2つに分割されて、夫々導出用導体膜6となる。

【0051】以上の各工程により形成される積層セラミック回路基板10では、裏面側主面Bと端面Eとの成す稜線部分の傾斜面Cは、大型積層基板50にV溝7が形成され、且つこのV溝7を分割処理に2分することによって達成されるため、非常に簡単に形成することができる。また、裏面Bから傾斜面Cに渡って形成される導出用導体膜6・・・は、大型積層基板50の裏面側主面BにV溝7を覆うように導電性ペーストの印刷・焼きつけに、さらに、上述のように分割処理に2分することによって達成されるため、これもまた、非常に簡単に形成することができる。

【0052】これは、従来のように、分割処理した後にその分割端面に印刷・焼きつけをおこなったり、また、端面電極となる貫通孔を形成して、貫通孔の内壁に導体膜を形成したりすることに比較して製造工程が非常に簡略化される。

【0053】また、大型積層基板50を分割溝8とV溝7とに沿って分割した時、従来のように導体膜の例えば表面側から割くように切断されず、V溝7内に形成された導体膜60は平面的に折曲されるようにして切断されるため、導体膜60の剥離がなく、また、一方側の積層セラミック回路基板側に取られることがなく安定的に分割される。

【0054】しかも、この工程が多数個取りの製造方法であり、表面処理、即ち、各種電子部品5の搭載などを大型積層基板上で処理できるので、電子部品5の実装効率が向上させることができ、非常に量産性に優れ、積層セラミック回路基板のコストを低減することができる。

【0055】ここで、V溝7の形状について検討すると、V溝7内に安定的に導体膜60を形成されるための形状として、裏面BとV溝7の傾斜面Cとの成す角 $\theta_1$ は、 $120^\circ \sim 150^\circ$  (V溝7の先端部分の開口角度

$60 \sim 120^\circ$ ) が望ましい。

【0056】尚、角 $\theta_1$ が $120^\circ$ 未満であると、傾斜面Cの角度が急峻となり、裏面に導電性ペーストを印刷して形成する導電膜した場合、単位あたりの投射影面積が小さくなり、安定した膜厚の導体膜が形成されない。

【0057】また、角 $\theta_1$ が $150^\circ$ を越えると、マザーボード30の所定配線パターン31上に載置した場合、この配線パターン31と導出用導体膜6との間の楔状の間隙が少なくなり、半田メニスカスの形成が減少してしまい、接合強度が充分得られなかったり、また半田32の接合状態の確認が困難となってしまう。

【0058】また、V溝7と分割溝の深さについて検討すると、一般に積層セラミック回路基板の厚みは、0.8~1.0mmであり、V溝7の深さは0.2~0.5mmの範囲が望ましい。例えば、深さが0.2mm未満となると、上述の<字状の間隙が小さくなり、また、0.5mmを越えると、これに伴いV溝7の開口幅が大きくなり、製造上に実用的ではない。

【0059】さらに、表面側の分割溝9の深さは、V溝7の深さ、積層体1の厚みによって変動するものであり、分割溝9とV溝7の深さの合計が、積層体1の厚み全体の約30~60%程度となるようにする。例えば、厚み0.8mmの積層体1に対しては、V溝7の深さを0.3mm、分割溝9の深さを基板全体の10%程度の0.08mmとすれば、積層体1の厚み全体の約48%程度となる。

【0060】分割溝9とV溝7の深さの合計が、積層体1の厚み全体の約30%未満であると、分割性が低下してしまい、例えば分割端面に凹凸などが発生してしまう。

【0061】また、60%を越えると、例えば、表面配線パターン4の形成時や導出用導体膜6・・・となる導体膜60の形成時に、分割溝9とV溝7との間で分割されてしまい、多数個取りの製造方法に製造の煩雑さを起こすことになる。

【0062】尚、裏面側主面Bに形成した分割溝8に関して、実質的にV溝7と同様の深さとすることが分割性の点からして望ましい。

【0063】さらに、V溝7内に形成される隣接する回路基板の領域の導出用導体膜60どうしは接合していないことが理想的である。これは、分割処理時に、導出用導体膜6の剥がれなどが発生しないようにするためであり、また、分割処理前に必要に応じて導出用導体膜6の表面にメッキ処理を行うことができるためである。

【0064】本発明者らが種々検討した結果、図9の断面図に示すように、V溝7の先端部分に、該V溝7の開口角度よりも小さい開口角度の第2のV溝71形成することにより、導出用導体膜6を隣接する回路基板の各領域毎に接合させずに形成できることを見出した。

【0065】上述の製造方法で説明したように、V溝7

内の導出用導体膜6となる導体膜60は、導電性ペーストをスクリーン印刷法で印刷している。この時、製版スクリーンやスキージがV溝7内の面に接触することは実質的に不可能であり、実際の導体膜60は、基板の裏面側主面BからV溝7にかけてスクリーン印刷する際、製版スクリーンから透過した、また裏面側主面Bから流れ込んだ導電性ペーストがV溝7の傾斜面Cに沿って流れて塗布されることによって形成される。

【0066】ここで、V溝7の先端にさらに第2のV溝71を形成することによって、V溝7の傾斜面Cに流れた導電性ペーストは、V溝7と第2のV溝71とのなす稜線部分で、ペーストの表面張力作用により、流れ込みが制止されることになる。

【0067】従って、V溝7内に形成される導出用導体膜6となる導体膜60は、第2のV溝71を境界とし分離された状態に形成される。

【0068】従って、焼成処理後、分割溝9、第2のV溝71に沿ってY方向の分割をおこなっても、分割部分である第2のV溝71には、導体膜60が塗布されていないため、導出用導体膜6の剥離が一切起らない。

【0069】また、導出用導体膜6が分離して形成されるため、分割処理前に非常に薄い半田濡れ性用被膜を形成することができる。この半田濡れ性用被膜は半田濡れ性を向上されるためのものであり、例えば半田被覆などが例示できる。この半田被覆の製造方法は、従来周知の各種方法によって形成することができる。このように半田濡れ性用被膜を形成しても、同一V溝7内で、互いに分割される回路基板の領域に独立した導出用導体膜6上に形成されているため、分割処理時において、この半田濡れ性用被膜も安定的に分割することができる。尚、半田被覆の方法としては、半田の金属成分を溶解させた有機系溶液を用いて、導出用導体膜6の表面に析出させて乾燥する半田析出方法が好ましい。

【0070】尚、V溝7と第2のV溝71との稜線部分で、導電性ペーストの流れ込みを制止させているため、稜線部分の角度 $\theta_2$ 、導電性ペーストの粘度が重要となってくる。種々実験を行った結果、導電性ペーストの粘度が100~300ポイズの範囲では、基板1の裏面側主面BからV溝7に安定的に導電性ペーストが流れこみ、基板1の裏面側主面BとV溝7との稜線部分で導体膜60の膜厚が極端に薄くなることなく、V溝7内に略均一な導体膜60を形成することができる。

【0071】このような粘度が100~300ポイズの導電性ペーストの場合、V溝7の傾斜面と第2のV溝71の傾斜面とが成す角度 $\theta_2$ が125~167.5°、即ち、第2のV溝71の先端の開口角度が10~35°と設定することが望ましいことが判った。例えば開口角度が35°を越えると、V溝7の傾斜面と第2のV溝71の傾斜面とが成す角度 $\theta_2$ が180°に近くなり、導電性ペーストの制止効果を減少し、また、開口角度が

10°未満となると、第2のV溝71の開口幅が狭くなり、導電性ペーストの制止効果があったとしても、逆表面張力により、回路基板の領域の境界である第2のV溝71の幅、例えば20 $\mu$ m程度を越えて、両者の導体膜が一体化してしまう。

【0072】以上のように、製造方法においては、分割処理前の大型積層基板の裏面側主面のV溝7には、既に導出用導体膜6となる導体膜60を形成しておればよく、その限りにおいては、各工程の入れ換えを行ったり、省略などをおこなってもかまない。

【0073】次に、単板のセラミック基板を用いた回路基板を例を説明する。

【0074】図10はその断面図ある。図において、セラミック基板91の表面には、厚膜技法を用いて、形成された導体膜92、94、絶縁膜93、必要に応じて抵抗膜などが形成され、さらに必要に応じて電子部品などが搭載されている。

【0075】セラミック基板91の裏面側主面Bと端面Eとの成す稜線部分には傾斜面Cが形成されており、裏面主面Bと傾斜面Cを利用して導出用導体膜6が形成されている。

【0076】ここで、基板91の表面側の厚膜導体膜92などから成る所定回路と基板91の裏面主面の導出用導体膜6との接続は、基板91の厚みを貫く導通スルーホール95（内壁面に導体膜が形成された貫通穴）やビアホール導体（導体が充填された貫通穴）が形成されている。

【0077】尚、充実の実施例の製造方法において、V溝7は未焼成状態の大型積層基板50で形成していたが、焼成した基板に、ダイヤモンドソーなどを用いてV溝を形成してもよい。

【0078】さらに、上述の導出用導体膜6は、ビアホール導体3fや導通スルーホール95などに接続して、所定回路と電氣的に接続し、且つマザーボードなどに機械的に接続するものであるが、その他に、ビアホール導体3fや導通スルーホール95などに接続に接続することがない、単にマザーボードに機械的に接続させるだけの目的の導体膜6を形成しても構わない。

【0079】

【発明の効果】以上のように、本発明の表面実装型回路基板によれば、表面実装型回路基板の裏面と端面との成す稜線部分が傾斜面となっており、裏面から傾斜面にかけて導出用導体膜が形成されている。このため、マザーボードの所定配線パターンに半田を接合した場合、傾斜面の導出用端子膜に簡単に半田メニスカスが形成でき、強固に接合できるとともに、この半田の接合状況が簡単に確認できるため、接合信頼性が向上する。

【0080】また、本発明の表面実装型回路基板の製造方法によれば、各回路基板となる領域を区画するV溝の形成と、このV溝を跨がって裏面に導体膜を形成し、さ

らにV溝での分割処理によって、簡単に形成することができ、従来のように製造工程が煩雑となることなく簡単に導出用導体膜を形成することができる。このため、多数個取りの回路基板の製造方法に適し、全体のコストが大きく低下させることができる。

【0081】また、分割処理時、導体膜が分割されることになるが、導体膜が平面的に折り曲げられるように切断されるため、導体膜の剥離や一方側回路基板側に取り入れることが有効に抑えられ、基板に対して安定的に被覆した導出用導体膜となる。

【0082】さらに、V溝の先端部分にV溝の開口角度よりも狭い開口角度の第2のV溝を形成したため、導出用導体膜を形成するにあたり、V溝と第2のV溝部分の稜線部分で、導電性ペーストの流れ込みを防止することができる。これにより、V溝内の導出用導体膜を、各回路基板の領域に分けて分離して形成することができるため、分割処理時の分割信頼性が一層向上することになる。

【図面の簡単な説明】

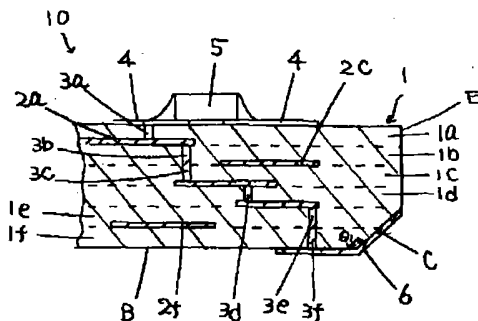
【図1】本発明の表面実装型回路基板である積層セラミック基板の部分断面図である。

【図2】本発明の積層セラミック基板の裏面側の部分斜視図である。

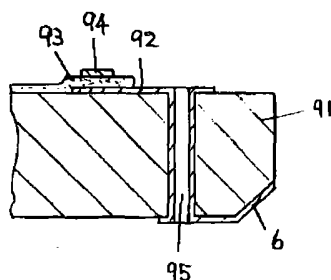
【図3】本発明の積層セラミック基板をマザーボードに接合した状態の部分側面図である。

【図4】第2の発明の製造方法を説明するための工程図

【図1】



【図10】



である。

【図5】主要製造工程における裏面側の部分斜視図である。

【図6】主要製造工程における裏面側の部分斜視図である。

【図7】主要製造工程における裏面側の部分斜視図である。

【図8】主要製造工程における裏面側の部分斜視図である。

10 【図9】第3の発明の製造方法を説明するための、主要工程における断面図である。

【図10】本発明の他の実施例を示す厚膜回路基板の部分断面図である。

【符号の説明】

10・・・積層セラミック回路基板

1・・・積層体

1a～1f・・・セラミック層

2・・・内部配線パターン

3・・・ビアホール導体

4・・・表面配線パターン

5・・・電子部品

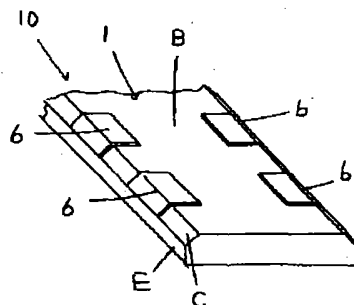
6・・・導出用導体膜

B・・・裏面側主面

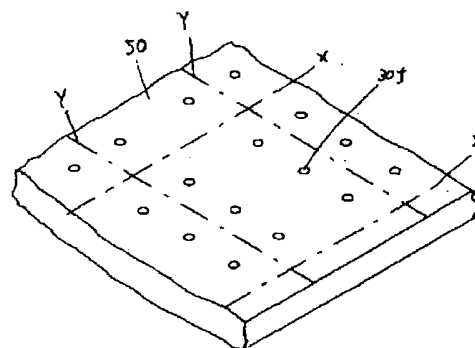
E・・・端面

C・・・傾斜面

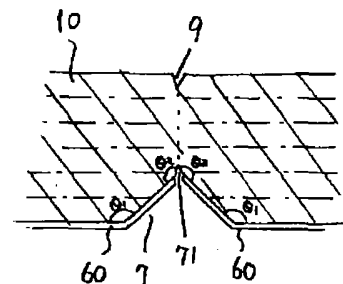
【図2】



【図5】

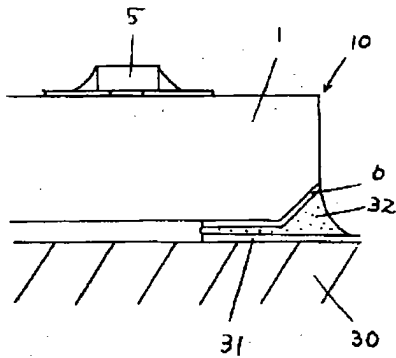


【図9】





【図3】



【図4】

(a) グリーンシートの形成

(b) ビアホール導体となる貫通孔の形成

(c) ビアホール導体となる導体、内部配線パターンとなる導体膜の形成

(d) グリーンシートの積層  
(未焼成状態の大型積層基板の形成)

(e) 表面側に分割溝、裏面側にV溝の形成

(f) 未焼成の大型積層基板の焼成

(g) 表面に配線パターン、裏面及びV溝内に導出用導体膜の形成

(h) 表面処理 (各種電子部品などを搭載)

(e) 表面側に分割溝、裏面側にV溝の形成

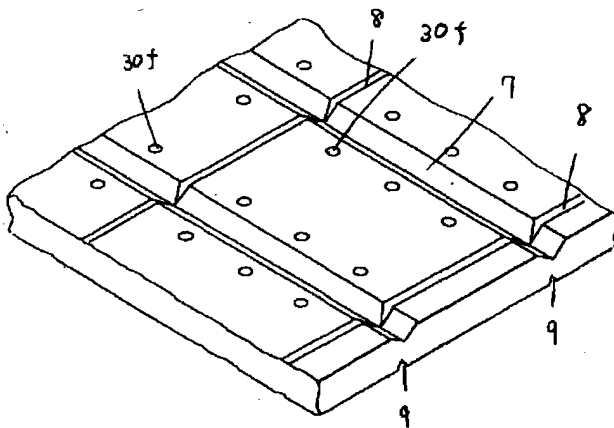
(f) 未焼成大型積層基板の焼成

(g) 表面に配線パターン、裏面及びV溝内に導出用導体膜の形成

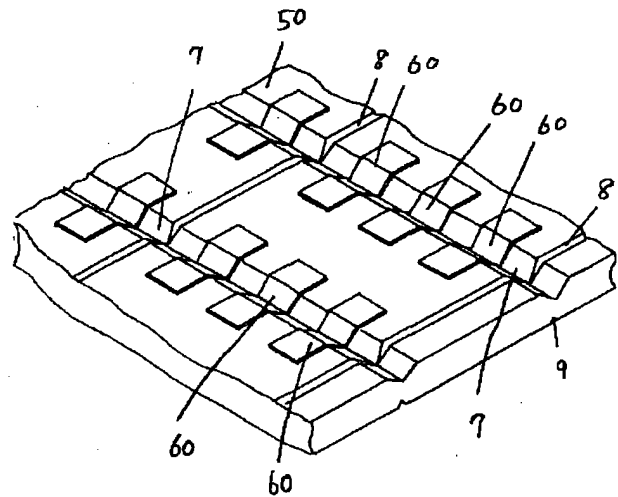
(h) 表面処理 (各種電子部品などを搭載)

(i) 分割処理

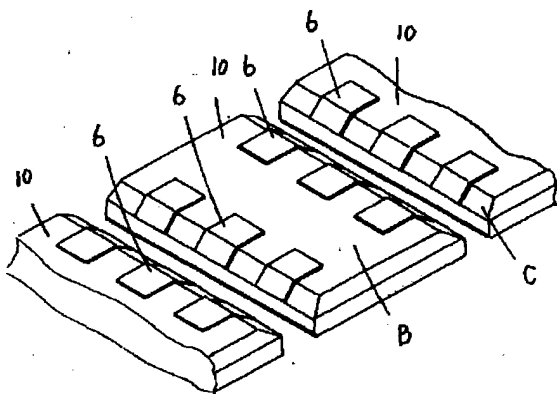
【図6】



【図7】



【図8】



フロントページの続き

(72) 発明者 中村 淳一  
 鹿児島県国分市山下町1番1号 京セラ株  
 式会社鹿児島国分工場内

(72) 発明者 植村 浩樹  
 鹿児島県国分市山下町1番1号 京セラ株  
 式会社鹿児島国分工場内  
 (72) 発明者 中村 成男  
 鹿児島県国分市山下町1番1号 京セラ株  
 式会社鹿児島国分工場内